

CLIPPEDIMAGE= JP355021110A
PAT-NO: JP355021110A
DOCUMENT-IDENTIFIER: JP 55021110 A
TITLE: PACKAGE FOR ACCOMMODATING SEMICONDUCTOR PARTS

PUBN-DATE: February 15, 1980

INVENTOR-INFORMATION:

NAME

MORITA, HIROMI
YAMAGUCHI, KAZUO
MURASAWA, KEIJI
KAMOTO, TSUTOMU

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD
NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A
N/A

APPL-NO: JP53093561

APPL-DATE: August 2, 1978

INT-CL_(IPC): H01L023/48

US-CL-CURRENT: 257/690

ABSTRACT:

PURPOSE: To reduce an impedance of a metalized wiring and an inductive noise from the exterior by effecting through a through-hole and seal ring a connection between a wiring metalized pattern and external leads.

CONSTITUTION: A minute wiring metalized pattern 6 is connected to a seal ring 3 through a through hole 10 and the connection from the seal ring 3 to external leads 4 is achieved by an electric resistance reducing metalized pattern 9. According to such a construction, the impedance can be considerably reduced compared with a conventional manner wherein the connection to the external leads was achieved through an intermediate layer 8, because a cap 2 is connected with the earth lead in a low impedance, a shielding effect to the inductive noise from the exterior can be effectively achieved.

COPYRIGHT: (C)1980, JPO&Japio

⑫ 公開特許公報 (A)

昭55—21110

⑤ Int. Cl.³
H 01 L 23/48

識別記号

庁内整理番号
7357—5F

⑬ 公開 昭和55年(1980)2月15日

発明の数 1
審査請求 有

(全 2 頁)

⑭ 半導体部品収納パッケージ

東京都港区虎ノ門1丁目7番12
号沖電気工業株式会社内

⑯ 特 願 昭53—93561

⑰ 発 明 者 加本務

⑱ 出 願 昭53(1978)8月2日

武蔵野市緑町3丁目9番11号日

⑲ 発 明 者 森田博美

本電信電話公社武蔵野電気通信
研究所内

東京都港区虎ノ門1丁目7番12

⑳ 出 願 人 沖電気工業株式会社

号沖電気工業株式会社内

東京都港区虎ノ門1丁目7番12
号

㉑ 発 明 者 山口和夫

㉒ 出 願 人 日本電信電話公社

東京都港区虎ノ門1丁目7番12

号沖電気工業株式会社内

㉓ 代 理 人 弁理士 鈴木敏明

㉔ 発 明 者 村沢啓次

明 細 書

1. 発明の名称

半導体部品収納パッケージ

2. 特許請求の範囲

絶縁基板上に半導体素子固着領域、配線用メタライズ・パターン領域及びシールリング領域を有し、

第1の配線用メタライズ・パターン領域とシールリング領域間がスルーホールを介して接続され、前記シールリング領域に第2の配線用メタライズ・パターン領域が接続され、前記第2の配線用メタライズ・パターン領域と外部リードが接続されていることを特徴とする半導体部品収納パッケージ。

3. 発明の詳細な説明

本発明は、外部リードから収納する半導体部品の細線配線部までのインピーダンスを減少ならしめた半導体部品収納パッケージに関する。

従来の半導体部品収納パッケージを第1図に示す。第1図Aに平面図、第1図Bにその断面図を示す。第1図に於て、1は絶縁基板、2はキャッ

プ、3はシールリング、4は外部リード、5は半導体部品固着部、6は細線配線用メタライズ・パターン、7はスルー・ホール、8は絶縁基板の中間層である。本構造では細線配線用メタライズ・パターン6と外部リード4との接続は絶縁基板1の中間層8を通りスルー・ホール7により外部リード4と接続される為、配線のメタライズ層とメタライズ巾に制限があり、メタライズ層の電気抵抗を小さくする事に限界があるという様な欠点があつた。

本発明はこれらの欠点を解決する為、シールリングを利用する事によりメタライズ配線の電気抵抗を減少させ、更には、低インピーダンス化により外部誘導雑音に対して遮断効果を可能ならしめたものであり以下詳細に説明する。

第2図は、本発明の一実施例であつて、第2図Aに平面図、第2図Bにその断面図を示す。第2図に於いて1は絶縁基板、2はキャップ、3はシールリング、4は外部リード、5は半導体部品固着部、6は細線配線用メタライズ・パターン、7

はスルー・ホール、8は絶縁基板の中間層、9は電気抵抗減少用メタライズ・パターン、10はスルー・ホールである。

本図に示す如く、電気抵抗の低減化を必要とする細線配線用メタライズ・パターン6をスルー・ホール10を介しシールリング3に接続する。そしてシールリング3より外部リード4への接続は、電気抵抗低減用メタライズパターン9により行う。この方法により従来得られなかつた低抵抗のメタライズ配線が可能となつた。

以上説明したように本実施例ではシールリング3と細線配線用メタライズパターン6をスルー・ホール10によつて接続し、さらにシールリング3と外部リード4を別に設けられた電気抵抗低減用メタライズ・パターン9によつて接続することによつて、外部リード4から収納する半導体部品の細線配線部6までのインピーダンスを容易に減少させることができる。

従つて、第一に電源リードあるいは大電流を供給するその他のリードに本発明を適用すれば、低

インピーダンス線路の効果によつて他のメタライズパターンへの雑音誘導を減らすことができ、

第二に従来、電流モード型論理回路(CML)の接地リードはエミッタフォロアの大きな電流変動のためにゲート用とエミッタフォロア用の2種類のリードが必要であつたが、本発明を接地リードに適用すれば一種類の接地リードにすることができ、半導体部品収納パッケージのリード数を減らすことができる。

第三に、シールリング上のキャップが接地リードと低インピーダンスで接続されることによつてパッケージ外からの雑音誘導に対して避へい効果がある。

第四には大きな電力を消費する半導体部品に対して複数の電源リードを使用して、各々の電源リードが複数の外部電源から同一電位を供給されると、外部電源間の雑音およびドリフトが半導体部品に直接印加されていたが、本発明を電源リードに適用すれば雑音およびドリフトは半導体部品に至る前に短絡され半導体部品の特性を損う

ことがない等の利点がある。

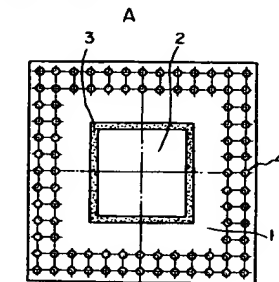
本発明は、スルー・ホールを通して電源ラインの抵抗を下げ、スルー・ホールとシールリングとを導通させて低インピーダンス化しているので、シールド効果によりパッケージ外からの誘導雑音を遮断しうる効果を有するので種々のパッケージに対して利用することができる。

4. 図面の簡単な説明

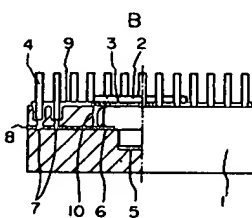
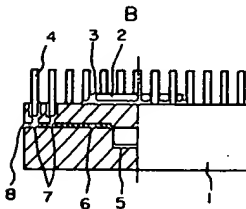
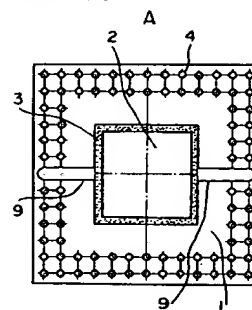
第1図は従来の半導体部品収納パッケージ、第2図は本発明による半導体部品収納パッケージを各々示す図である。

1…絶縁基板、2…キャップ、3…シールリング、4…外部リード、5…半導体部品固着部、6…細線配線用メタライズ・パターン、7…スルー・ホール、8…絶縁基板の中間層、9…電気抵抗減少用メタライズ・パターン、10…スルー・ホール。

第1図



第2図



特許出願人 沖電気工業株式会社
代理人 日本電信電話公社
鈴木 敏 明